

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-348490

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G11C 11/413

G06F 12/00

G11C 11/41

(21)Application number : 2000-122364

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.01.1994

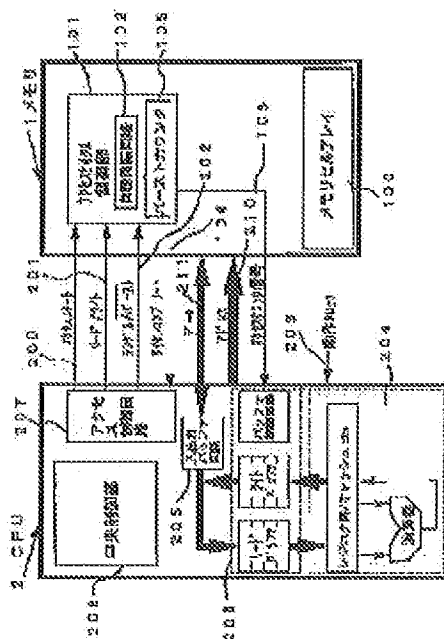
(72)Inventor : TAKEDA HIROSHI

## (54) MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory device which generates the timing of a data transfer according to its own characteristic.

SOLUTION: This memory device 1 performs an internal operation following an access request in synchronization with the oscillation output of a built-in self-excited oscillation circuit 102 with respect to requests (200, 201, 202) from a CPU 2, and it outputs to the CPU a response request 103 with respect to the access requests. The CPU performs the access requests with respect to the memory device, it receives the response request 103 from the memory device which performs the access requests, and it fetches data from the outside or outputs data to the outside according to the kind of an access request in synchronization with the response request. A data interface between the memory device and the CPU is realized by mutually equal access requests and by response requests with respect to the access requests. A data transfer is realized easily in the limit time of characteristics of the memory device and the CPU.



## LEGAL STATUS

[Date of request for examination] 18.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3328638

[Date of registration] 12.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-348490  
(P2000-348490A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード* (参考)
G 1 1 C 11/413		G 1 1 C 11/34	J
G 0 6 F 12/00	5 6 4	G 0 6 F 12/00	5 6 4 A
G 1 1 C 11/41		G 1 1 C 11/34	3 0 1 D

審査請求 有 請求項の数20 O L (全 18 頁)

(21) 出願番号 特願2000-122364(P2000-122364)  
(62) 分割の表示 特願平6-21969の分割  
(22) 出願日 平成6年1月21日(1994. 1. 21)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 武田 博  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内  
(74) 代理人 100089071  
弁理士 玉村 静世

(54) 【発明の名称】 メモリ装置

(57) 【要約】

【目的】 自らの特性にしたがってデータ転送のタイミングを発生するメモリ装置を提供する。

【構成】 メモリ装置1は、CPU2からのアクセス要求(200, 201, 202)に対して自ら内蔵する自励発振回路102の発振出力に同期して当該アクセス要求に従った内部動作を行うと共に、その内部動作に同期して上記CPUに上記アクセス要求に対する応答要求103を出力する。CPUは、メモリ装置に対してアクセス要求を行うと共に、アクセス要求を行ったメモリ装置からの応答要求103を受け、これに同期して当該アクセス要求の種別に応じ外部からデータを取り込み又は外部にデータを出力する。メモリ装置とCPUの相互間のデータインタフェースは相互に対等なアクセス要求とそれに対する応答要求によって実現され、メモリ装置及びCPU夫々の特性の限界時間でのデータ転送が容易に実現される。

